

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-237123

(43)Date of publication of application : 23.08.1994

(51)Int.Cl.

H03F 1/00

H03F 1/30

H03F 3/195

(21)Application number : 05-020925

(71)Applicant : NEC CORP

(22)Date of filing : 09.02.1993

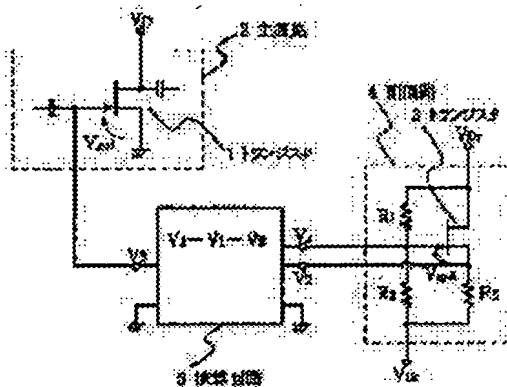
(72)Inventor : ISHIDA MASATOSHI

## (54) BIAS CIRCUIT AND INTEGRATED CIRCUIT USING THE SAME

## (57)Abstract:

PURPOSE: To provide a bias circuit capable of absorbing properly the dispersion in elements without losing the high frequency characteristic.

CONSTITUTION: A main circuit 2 having a major function is provided with the transistor (TR) 1 of common source connection in terms of DC to a gate for which a fixed bias voltage  $V_3$  is applied. A sub circuit 4 includes a TR 3 formed simultaneously by the same process as that of the TR 1 and generates bias reference voltages  $V_1$ ,  $V_2$  corresponding to the operation of the TR 3. An arithmetic operation circuit 5 applies arithmetic operation processing to the bias reference voltages  $V_1$ ,  $V_2$  and generates the fixed bias voltage  $V_3$ .



## LEGAL STATUS

[Date of request for examination]

17.12.1997

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3265675

[Date of registration]

11.01.2002

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 ( J P )

(12) 公開特許公報 ( A )

(11) 特許出願公開番号

特開平 6 - 2 3 7 1 2 3

(43) 公開日 平成 6 年 ( 1 9 9 4 ) 8 月 2 3 日

(51) Int. Cl. <sup>5</sup>

H03F 1/00  
1/30  
3/195

識別記号

庁内整理番号

F I

技術表示箇所

Z 7350-5J  
B 8522-5J  
7436-5J

審査請求 未請求 請求項の数 8 O L ( 全 1 1 頁 )

(21) 出願番号 特願平 5 - 2 0 9 2 5

(22) 出願日 平成 5 年 ( 1 9 9 3 ) 2 月 9 日

(71) 出願人 0 0 0 0 0 4 2 3 7

日本電気株式会社  
東京都港区芝五丁目 7 番 1 号

(72) 発明者 石田 昌敏

東京都港区芝五丁目 7 番 1 号 日本電気株式  
会社内

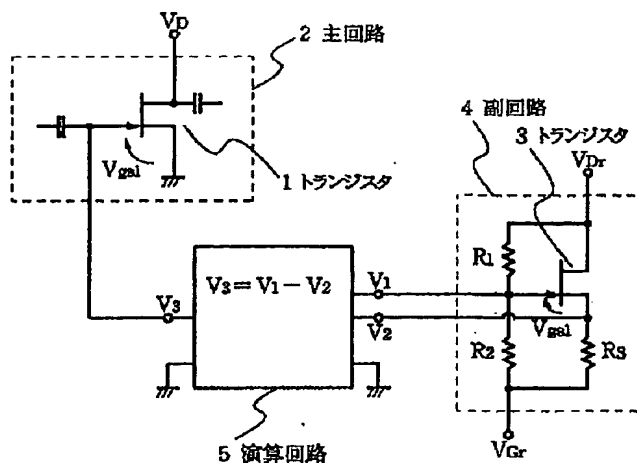
(74) 代理人 弁理士 京本 直樹 ( 外 2 名 )

(54) 【発明の名称】 バイアス回路およびこれを用いた集積回路

(57) 【要約】

【目的】 高周波特性を損なうことなく素子のばらつきを適切に吸収するバイアス回路を提供する。

【構成】 固定バイアス電圧  $V_3$  が供給され直流的にソース接地されたトランジスタ 1 を含み主機能を有する主回路 2 を備える。トランジスタ 1 と同一の工程により同時に形成したトランジスタ 3 と、トランジスタ 3 にバイアス電圧を供給する副バイアス回路とを含みトランジスタ 3 の動作に対応するバイアス参照電圧  $V_1$ 、 $V_2$  を発生する副回路 4 を備える。バイアス参照電圧  $V_1$ 、 $V_2$  を演算処理し固定バイアス電圧  $V_3$  を生成する演算回路 5 を備える。



1

## 【特許請求の範囲】

【請求項 1】 ゲートまたはベースに動点設定用の固定バイアス電圧または電流である固定バイアス信号が供給され直流的にソースまたはエミッタ接地された電界効果またはバイポーラトランジスタである第一のトランジスタを含み主機能を有する主回路と、

前記第一のトランジスタと同一の工程により同時に形成した第二のトランジスタと前記第二のトランジスタにバイアス電圧または電流を供給する副バイアス回路とを含み前記第二のトランジスタの動作に対応する電圧信号であるバイアス参照電圧を発生する副回路と、

前記バイアス参照電圧を演算処理し前記固定バイアス信号を生成する演算回路とを備えることを特徴とするバイアス回路。

【請求項 2】 前記副バイアス回路が前記第二のトランジスタのゲートまたはベースと各々一端が共通接続され他端がそれぞれ第一および第二の電源に接続された第一および第二の抵抗と前記第二のトランジスタのソースまたはエミッタと前記第二の電源との間に接続された第三の抵抗とを含む電圧分割バイアス回路を備える第一の副バイアス回路であることを特徴とする請求項 1 記載のバイアス回路。

【請求項 3】 前記副バイアス回路が前記第二のトランジスタのゲートまたはベースと一端が共通接続され多端が第二の電源に接続された第二の抵抗と前記第二のトランジスタのソースまたはエミッタと前記第二の電源との間に接続された第三の抵抗とを含む自己バイアス回路を備える第二の副バイアス回路であることを特徴とする請求項 1 記載のバイアス回路。

【請求項 4】 前記演算回路の出力側に前記固定バイアス信号の電流供給能力を向上するバッファ回路をさらに備えることを特徴とする請求項 1 記載のバイアス回路。

【請求項 5】 前記演算回路が前記バイアス参照電圧の演算により生成した第一のバイアス信号と温度や信号レベルを含む動作環境のパラメータの検出信号である第二のバイアス信号との演算処理結果により前記固定バイアス信号を生成する演算制御回路を備えることを特徴とする請求項 1 記載のバイアス回路。

【請求項 6】 前記第一のトランジスタが同一の工程により同時に製造した複数のトランジスタを有するトランジスタ群であることを特徴とする請求項 1 記載のバイアス回路。

【請求項 7】 各々第一および第二の前記固定バイアス信号の供給を受ける第一および第二の前記トランジスタ群と、

各々前記第一および第二の副バイアス回路を備え第一および第二のバイアス参照電圧を発生する第一および第二の前記副回路と、

各々前記第一および第二の前記バイアス参照電圧を演算処理し前記第一および第二の固定バイアス信号を生成す

2

る第一および第二の演算回路とを備えることを特徴とする請求項 1 ～ 6 記載のバイアス回路。

【請求項 8】 少なくとも前記第一および第二のトランジスタを同一の工程により同時に同一チップ上に形成し請求項 1 ～ 6 記載のバイアス回路のいずれかを用いたことを特徴とする集積回路。

## 【発明の詳細な説明】

【 0 0 0 1 】

【産業上の利用分野】 本発明はバイアス回路およびこれを用いた集積回路に関し、特に高周波帯で用いられるトランジスタのバイアス回路およびこのバイアス回路を用いた高周波帯のモノリシック集積回路に関する。

【 0 0 0 2 】

【従来の技術】 従来の電界効果トランジスタのバイアス回路は、主に図 1 5 に示す固定バイアス (A)、(B) に示す自己バイアスおよび (C) に示す電圧分割バイアスの各回路のなかから、主回路の電界効果トランジスタに対し所望の特性を得るに適切と思われる方式が選択し用いられていた。もちろん、主回路の電界効果トランジスタが複数の場合には 2 つ以上の方式を併用することもあるが、各電界効果トランジスタのバイアス回路は基本的には各々独立であり、相互作用は基本的に無いような構成となっていた。

【 0 0 0 3 】 上記固定、自己および電圧分割の各バイアス回路はそれぞれ一般に下記に示すような特徴を有している。

【 0 0 0 4 】 固定バイアス回路は、ソースを設置しゲートにバイアス電圧  $V_G$  を供給する回路である。この回路の利点は、(1) 動作点を自由に選択できる、(2) ソースが直接接地されるので利得等の高周波特性が優れている、(3) 構成が最も簡単で小さくできることである。欠点は、(1) バイアス電源として 2 電源必要である、(2) 素子のばらつき (すなわち、ドレイン電流飽和値  $I_{dss}$ ) がそのままドレイン電流 ( $I_d$ ) のばらつきとなることである。

【 0 0 0 5 】 自己バイアス回路は、ソースに一端がバイアス電圧  $V_G$  または接地電位に接続されたソース抵抗  $R_s$  を接続し、ゲートに抵抗  $R_2$  を介して上記バイアス電圧  $V_G$  または接地電位を供給する回路である。この回路の利点は、(1) ソース抵抗  $R_s$  により  $I_d$  のばらつきが抑えられる、(2) ソース抵抗  $R_s$  側を接地電位とすればバイアス電源は単電源でよいことである。欠点は (1)  $I_d$  により  $R_s$  が決定され設計の自由度が小さい、(2) 利得等の高周波特性が劣化する、(3)  $R_s$  で消費されるエネルギーの分だけ効率が低下することである。

【 0 0 0 6 】 電圧分割バイアス回路は、自己バイアス回路と同様の抵抗  $R_s$ 、 $R_2$  に加えて、ゲートに抵抗  $R_1$  を介して電源  $V_D$  をさらに供給し、電源  $V_D$  と  $V_G$  間の電圧を抵抗  $R_1$ 、 $R_2$  で分割した電圧を供給する回路で

ある。この回路の利点は、(1) 設計自由度がある、  
(2)  $I_d$  のばらつきが最も小さく抑えられる、(3) ソース抵抗  $R_s$  側を接地電位とすればバイアス電源は単電源でよいことであり、欠点は(1) 利得等と高周波特性が劣化する、(2)  $R_s$  で消費されるエネルギーの分だけ効率が低下する、(3) 構成が複雑で大きくなることである。なお、上記自己バイアス回路および電圧分割バイアス回路では、高周波用途では、高周波的にソースを接地する目的でソース抵抗  $R_s$  に並列にコンデンサが付加される。

【0007】また、図15(D)に示すような自動バイアス回路も考案されている。これはドレイン電流  $I_d$  を検出しこの情報をゲートバイアスにフィードバックしドレイン電流  $I_d$  を一定値に保つ方式で、トランジスタを用いた一種の閉ループ制御回路である。この回路の利点は、(1) 設計自由度がある、(2)  $I_d$  のばらつきが最も小さく抑えられることであり、欠点は、構成が複雑で大きくなることである。

【0008】従来のバイポーラトランジスタのバイアス回路も電界効果トランジスタと同様に、図16(A)、(B)、(C)に示すようなバイアス回路の中から、適切と思われる回路が選択し用いられていた。各バイアス回路の特徴は、電界効果トランジスタの場合に示したものと同様である。

【0009】

【発明が解決しようとする課題】この従来のバイアス回路では、上述したようにそれぞれ一長一短があり、例えば、利得等の高周波特性を最優先にするために固定バイアス回路を用いると、製造上の素子のばらつきに対応しドレイン電流がそのままばらつくことを許容するか、あるいは許容できない場合には個々のバイアス調整を要するという欠点があった。また、上記ばらつきを吸収し歩留まりを向上するなどの目的で電圧分割バイアスを用いると、利得等の高周波特性の劣化を許容せざるをえないという欠点があった。

【0010】さらに、自己バイアス回路および電圧分割バイアス回路においては、高周波的にソースを接地するためにソース抵抗に並列に数pF～数百pF程度のコンデンサを付加する必要がある、回路規模の増大のみならず、固定バイアス回路のような理想的な接地よりは利得等の特性が劣という欠点があった。

【0011】また、自動バイアス回路では高周波特性を確保しつつ、素子の製造ばらつきを吸収できるが、構成および設計が複雑となり、閉ループ回路を構成しているため、ループの発振等には注意が必要であるという欠点があった。

$$i = (V_{dr} - V_{gr}) / (R_1 + R_2) \quad \dots (1)$$

$$\begin{aligned} V_{gsr} &= R_2 / (R_1 + R_2) \cdot (V_{dr} - V_{gr}) - R_s \cdot I_d \\ &= R_2 \cdot i - R_s \cdot I_d \quad \dots (2) \end{aligned}$$

である故、トランジスタの相互コンダクタンス  $g_m$  を一

【0012】

【課題を解決するための手段】本発明のバイアス回路およびこれを用いた集積回路は、ゲートまたはベースに動作点設定用の固定バイアス電圧または電流である固定バイアス信号が供給され直流的にソースまたはエミッタ接地された電界効果またはバイポーラトランジスタである第一のトランジスタを含み主機能を有する主回路と、前記第一のトランジスタと同一の工程により同時に形成した第二のトランジスタと前記第二のトランジスタにバイアス電圧または電流を供給する副バイアス回路とを含み前記第二のトランジスタの動作に対応する電圧信号であるバイアス参照電圧を発生する副回路と、前記バイアス参照電圧を演算処理し前記固定バイアス信号を生成する演算回路とを備えて構成されている。

【0013】

【実施例】次に本発明について図面を用いて説明する。図1は本発明の第一の実施例のバイアス回路を示す回路図である。本実施例のバイアス回路は主要機能素子である電界効果トランジスタ1を含む主回路2と、電界効果トランジスタ1と同一チップ上に同一工程で同時に作られた他のトランジスタ3および複数の抵抗により構成されバイアス参照電圧  $V_1$ 、 $V_2$  を発生する副回路4と、バイアス参照電圧  $V_1$ 、 $V_2$  を演算処理しトランジスタ1のバイアス電圧  $V_3$  を生成する演算回路5とを備える。

【0014】主回路2のトランジスタ1はソース接地の固定バイアス方式でありドレイン端子には電圧  $V_D$  が供給される。トランジスタ1のゲートには、副回路4の出力電圧  $V_1$  および  $V_2$  の差電圧  $V_3 = V_1 - V_2$  を出力する演算回路5の出力電圧  $V_3$  が供給される。したがって、トランジスタ1のゲートバイアス電圧  $V_{gs1}$  は、トランジスタ3のゲートバイアス電圧  $V_{gsr}$  と同一であり、次式で示される。

$$【0015】 V_{gs1} = V_3 = V_{gsr}$$

図2は、ガリウム砒素電界効果トランジスタの平均的な電圧電流特性およびそのばらつきの一例を示す図である。

【0016】副回路4は電圧分割バイアス方式が用いられており、図2(A)に示すように、トランジスタ3のドレイン電流飽和値 ( $I_{dss}$ ) が直線(H)、(T)、(L)のようにばらついても、ドレイン電流  $I_d$  のばらつきが  $\Delta I$  の範囲内に収まるようなゲートバイアス電圧  $V_{gsr}$  を生成する抵抗  $R_1$ 、 $R_2$ 、 $R_s$  の値が設定されている。

【0017】すなわち、図2(B)に示される電圧分割バイアス回路において、

定値とすると図2(A)より直線Hおよび(L)は式

5

6

(3), (4) で示される。

$$I_h = g_m \cdot V_{gs} + I_{dss} \quad \dots (3)$$

$$\begin{aligned} I_l &= g_m \cdot V_{gs} + I_{dss} - \Delta I \\ &= I_h - \Delta I \quad \dots (4) \end{aligned}$$

したがって、

$$\begin{aligned} I_{dh} &= (R_2 \cdot i - V_{gsh}) / R_s \\ &= g_m \cdot V_{gsh} + I_{dss} \quad \dots (5) \end{aligned}$$

$$\begin{aligned} I_{dl} &= (R_2 \cdot i - V_{gsl}) / R_s \\ &= g_m \cdot V_{gsl} + I_{dss} - \Delta I \quad \dots (6) \end{aligned}$$

式(5), (6)より

$$V_{gsh} = (R_2 \cdot i - R_s \cdot I_{dss}) / (1 + g_m \cdot R_s) \quad \dots (7)$$

$$V_{gsl} = \{R_2 \cdot i - R_s (I_{dss} - \Delta I)\} / (1 + g_m \cdot R_s) \quad \dots (8)$$

$$\begin{aligned} \therefore \Delta I &= (R_2 \cdot i - V_{gsh}) / R_s - (R_2 \cdot i - V_{gsl}) / R_s \\ &= (V_{gsl} - V_{gsh}) / R_s = \Delta I_d / (1 + g_m \cdot R_s) \quad \dots (9) \end{aligned}$$

$$\therefore \Delta I / \Delta I_d = 1 / (1 + g_m \cdot R_s) \quad \dots (10)$$

すなわち、固定バイアス回路におけるドレイン電流ばらつき  $\Delta I_d$  に対し、電圧分割バイアス回路のドレイン電流ばらつき  $\Delta I$  は  $1 / (1 + g_m \cdot R_s)$  に改善される。トランジスタ1およびトランジスタ3は同一チップ上に同一工程で同時に製造された素子であるゆえ、両素子のばらつきには正の強い相関がある。

【0018】これにより、主回路2のトランジスタ1は固定バイアス回路として高周波特性を損なうことなく、トランジスタ3を含む副回路4から得られる  $V_1$ ,  $V_2$  なる電圧情報、すなわちトランジスタ3のゲートバイアス電圧  $V_{gsr}$  と同一の電圧をトランジスタ1のバイアス電圧として供給することにより、素子の製造ばらつきに対応するトランジスタ1のドレイン電流のばらつきを抑圧することが可能となる。

【0019】式(10)から明らかなように、 $R_s$  および  $g_m$  が大きいほど、トランジスタ1のドレイン電流のばらつきは改善される。しかし、通常、電圧分割バイアス方式において  $R_s$  を大きくすると、 $R_s$  で消費される電力が増大しエネルギー効率が低下するため、あまり大きくはできなかった。一方、本実施例によれば、副回路

$$R_s = 1 / g_m \cdot (\Delta I_d / \Delta I - 1) \quad \dots (11)$$

$$\therefore R_s \approx 378 \Omega$$

ここで、 $I_{ds} = 7.5 \text{ mA}$  の特に、トランジスタのドレイン・ソース間電圧  $V_{ds}$  として通常  $2 \text{ V}$  以上確保する必要があるため、

$$V_{ds} = (V_{dr} - V_{gr}) - I_d \cdot R_s > 2 \text{ V}$$

$$\therefore R_s < (V_{dr} - V_{gr} - 2) / I_d$$

でなければならない。 $V_{dr} = 5 \text{ V}$ ,  $V_{gr} = -2 \text{ V}$  とすると、 $(V_{dr} - V_{gr} - 2) / I_d \approx 667 \Omega$

$$\therefore R_s \approx 378 \Omega < 667 \Omega$$

であるゆえ  $R_s$  の値としては問題ない。

【0022】また、 $V_{gs} \approx -0.5 \text{ V}$  にて  $I_{ds} \approx 7.5 \text{ mA}$  とすると、式(2)より

$$i \cdot R_2 \approx 2.34 \text{ V}$$

4は主回路2とは独立であり、副回路4のトランジスタ3は小規模でよいから回路電流は小さくできる。ゆえに  $R_s$  での消費電力も小さい。したがって、 $R_s$  の値を大きく設定することが可能となるため、通常の電圧分割バイアス回路に比較して、よりドレイン電流のばらつきを小さく抑えることが可能となる。

【0020】さらに、主回路2で電圧分割バイアス回路を用いた場合には、前述のごとくソース抵抗  $R_s$  と並列にコンデンサを付加する必要があるが、本実施例の方式によればコンデンサを付加する必要はなく回路を小型化できる。このことは、後述するように主回路の電界効果トランジスタが複数個の場合に特に有効である。

【0021】次に、具体的な設計例を示す。図2において、素子のゲート幅  $100 \mu\text{m}$  の場合、素子の特性およびばらつきは次のようになる。すなわち、 $I_{dss} = 20 \text{ mA}$ ,  $g_m = 15 \text{ mS}$  (一定)、 $\Delta I_d = 10 \text{ mA}$  とし、また、 $I_d = 7.5 \pm 0.75 \text{ mA}$  ( $\Delta I = 1.5 \text{ mA}$ ) に設定するとすれば、式(10)より、ソース抵抗  $R_s$  は次式で求められる。

ここで、 $i = 2 \text{ mA}$  とすると

$$R_2 = 1170 \Omega$$

を得る。式(1)より

$$R_1 = (V_{dr} - V_{gr}) / i = 3500 \Omega$$

となる。上記のごとく必要とされる特性に応じて副回路4の回路設計がなされる。

【0023】演算回路5は副回路4の出力電圧1および  $V_2$  を受けて

$$V_3 = V_1 - V_2$$

なる電圧を供給する回路であればどのような回路形成でもかまわない。図3はこのような演算をおこなう回路の一例を示す図であり、(A)は汎用演算増幅器を用いた

7

ごく一般的な差動増幅回路であり、電圧利得を 1 倍としたものである。図 3 (B) はトランジスタを用いた最も一般的な差動増幅回路である。トランジスタのエミッタ

$$V_3 = R_c / 2 (r_e + R_e) \cdot (V_1 - V_2) \quad \dots (12)$$

$$\therefore R_c / 2 (r_e + R_e) = 1 \quad \dots (13)$$

これらはほんの一例に過ぎず、他にも様々な回路形式で演算回路 5 の機能を実現できることはいうまでもない。

【0024】図 4 は本発明の第二の実施例のバイアス回路を示す回路図である。本実施例の副回路 4 A は第一の実施例の副回路 4 において、 $R_1 = \infty$  すなわち  $i = 0$  とした場合に相当しており、いわゆる自己バイアス回路となっている。したがって、第一の実施例で説明したと同様に、ドレイン電流のばらつき  $\Delta I_d$  は  $1 / (1 + g_m \cdot R_s)$  に改善される。

【0025】図 5 (A) は自己バイアス回路を、図 5 (B) は (A) の回路における素子のばらつきとバイアスの様子を示している。図 5 (B) から明らかなように自己バイアス回路においては、電圧分割バイアスの場合ほど  $R_s$  の値を大きくできないため、 $\Delta I$  も電圧分割バイアス方式の場合に比較すると大きくなる。ただし、電界効果トランジスタのバイアスとして、必ずしもドレイン電流を一定とすることが最良とは限らない。場合によっては、素子のばらつきに応じて適度にドレイン電流が変わる方がよいこともある。例えば、A 級動作の増幅器を実現する場合において、素子の特性がばらついてなるべく広範囲の入力信号レベルにおいて A 級動作させるには、素子のばらつきに対してドレイン電流を一定値となるようにバイアスを設定するよりも、自己バイアス方式を用いるほうが適している。

【0026】図 6 (A)、(B) は A 級動作とバイアス方式の関係を表す図である。例えば、素子の相互コンダクタンス  $g_m$  が一定であり、ドレイン電流は最大、 $V_{gs} = 0$  V のときの値 ( $I_{dss}$ ) まで流れるとし、図中 (T) で示される平均的な特性の素子の場合に A 級動作として最適な点にバイアスする設定とすることを考える。すなわち、 $I_d = I_{dss} / 2$  に設定する。図 6 (A) は定ドレイン電流バイアス方式の場合を示しており、出力信号が  $\Delta I_1$  以上では波形はクリップされ歪む。同様に、図 6 (B) は自己バイアス方式の場合を示しており、出力信号は  $\Delta I_2$  以下では A 級動作であるがやはり歪む。しかしながら図 6 から明らかなように、同一素子のばらつきに対し、 $\Delta I_1 < \Delta I_2$  であり、

(B) の自己バイアス方式の方が、素子がばらついていても広範囲な入力レベルに対し A 級動作が可能であることが理解される。このような用途では、本発明の第二の実施例のバイアス回路が有効である。

【0027】なお、副回路 4、4 A の具体例として電圧分割バイアス回路および自己バイアス回路の最も典型的な例を示したが、当然のことながらこれらの変形及び応用回路を副回路 4、4 A としても同様の結果が得られる

8

抵抗を  $r_e$  とすると、抵抗  $R_c$ 、 $R_e$  の値を次式を満足するように設定することにより所望の機能を満足することができる。

ことはいうまでもない。

【0028】図 7 は本発明の第三の実施例のバイアス回路を示すブロック図である。本実施例のバイアス回路は、第一および第二の実施例において電算回路 5 と主回路 2 との間にバッファ回路 6 を設けた構成となっている。演算回路 5 の駆動能力が、主回路 2 のトランジスタ 1 のゲートを駆動するに十分でない場合に必要となる。特に、トランジスタ 1 が大規模な場合や、或いは後述のごとくトランジスタ 1 が複数のトランジスタから成る場合にバッファ回路 6 が必要となる。

【0029】電界効果トランジスタは理想的には電圧制御型の素子であり通常ゲート電流は無視し得る程度に小さいが、それでもわずかながら漏れ電流が流れる。特に入力信号レベルが大きい、いわゆる大振幅動作の場合には小信号動作の場合に比較して大幅にゲート電流が流れることがある。このような用途の場合にはバッファ回路が必要となる。また、後述のバイポーラトランジスタの場合は、本質的に電流制御素子であるため、大抵の場合バッファ回路が必要となる。

【0030】バッファ回路 6 は入力電圧と等しい電圧を出力し、出力の電流駆動能力が所望の能力以上の回路であればどのような回路でもかまわない。図 8 にバッファ回路の一例を示す。図 8 (A) は汎用演算増幅器を用いたバッファ回路の一例であり、電圧フォロアと呼ばれる最も基本的な回路である。図 8 (B) および (C) は電界効果トランジスタを用いた典型的なバッファ回路の一例である。(B) の回路においては、二つの電界効果トランジスタは特性の揃ったものであることが望ましい。また、(C) はコンプリメンタリ電界効果トランジスタを使用したものである。

【0031】図 9 は第 4 の実施例のバイアス回路のブロック図である。本実施例のバイアス回路は、温度検出回路 8 から得られた温度情報、信号レベル検出回路 9 から得られた信号レベル情報等の各種検出回路からの情報を得て、演算制御回路 7 において演算回路 5 より得られたバイアス電圧を演算処理し、より高度なバイアス制御を行うバイアス回路の概念図である。

【0032】図 10 は演算制御回路 7 の一例を示す回路図である。これは汎用演算増幅器を用いた加算器を基本とした構成となっている。温度情報等の各種情報  $V_t$ 、 $V_p$ 、 $V_x$  は関数回路 10、11、12 等により  $f(V_t)$ 、 $g(V_p)$ 、 $h(V_x)$  と変換され加算器 13 に入力される。加算器 13 の出力は反転増幅器 14 を経て極性反転されバッファ 15 を経て主回路 2 のトランジスタ 1 のゲートバイアス電圧  $V_g$  として出力される。この

演算制御回路 7 の出力電圧  $V_g$  は次式で示される。

$$V_g = (r_3/R_f) V_3 + (r_t/R_f) f(V_t) + (r_p/R_f) g(V_p) + \dots + (r_x/R_f) h(V_x) \quad \dots (14)$$

したがって、 $R_f$  および  $r_t$ ,  $r_p$ ...,  $r_x$  の抵抗値および関数回路 10, 11, ..., 12 を所望の特性が得られるように設定することでより高度なバイアス制御が実現可能となる。

【0033】図 11 は第五の実施例のバイアス回路を示すブロック図である。これは主回路 2 A のトランジスタが複数個のトランジスタ 1 a, 1 b...1 n から成る場合を示している。この場合には、本発明のバイアス回路の有効性がますます高くなる。すなわち、主回路 2 A の電界効果トランジスタ 1 a ~ 1 n のバイアス回路は最も簡易な固定バイアス方式でよい。主回路 2 のバイアス回路を最も小規模に構成することができる。したがって、主回路 2 そのものの規模も小さくすることが可能となり価格の低減に有効である。勿論この場合も、利得等の高周波特性を損なうことなく素子の製造ばらつき等に対応することができるのみならず、さらに高度なバイアス制御を行うことができる。

【0034】図 12 は本発明の第 6 の実施例のバイアス回路を示すブロック図である。これは主回路 2 B のトランジスタが複数個あり、二種類以上の副回路 4 B, 4 C を設け、目的に応じたバイアス供給方式を用いる回路である。例えば、副回路 4 B は自己バイアス方式、副回路 4 C は電圧分割バイアス方式としておき、主回路 2 B の複数個のトランジスタの各々はそれぞれ都合のよい方のバイアス電圧を用いてバイアスされる。この場合も第一〜第五の実施例と同様、主回路 2 B の電界効果トランジスタ自体は固定バイアス形式となっているゆえ高周波特性を最大限引き出すことができ、また回路を小型化することができる。

【0035】図 13 は本発明のバイアス回路を用いた第 7 の実施例を示す集積回路のブロック図である。副回路 4 の電界効果トランジスタ 3 は、主回路 2 の電界効果トランジスタ 1 となるべく相関が強い方が望ましい。したがって、モノシリック集積回路は本発明のバイアス回路を実現するには最適である。

【0036】通常モノシリック集積回路のチップサイズは数 mm 角程度であり、その中に主回路 2 の電界効果トランジスタ 1 といっしょに副回路 4 の電界効果トランジスタ 3 を作り込むことにより、非常に強い正の相関を持たせることが可能である。副回路 4 のトランジスタ 3 は非常に小規模なサイズでよく、また副回路 4 は単なる直流回路であるゆえモノシリック集積回路においては、空いている空間を効率よく利用して構成すれば良い。したがって、本発明のバイアス回路を用いた集積回路は、単に固定バイアス方式を用いた従来の集積回路の比較してチップサイズの増大は殆ど無視できる。

【0037】図 13 では主回路 2 および副回路 4 をひと

つのモノシリック集積回路 16 とし、演算回路 5 その他の回路は外部回路とした構成の例を示したが、勿論、演算回路 5 その他の回路をひとつのモノシリック集積回路としてもよい。あるいはまた副回路 4 のほかにバッファ 6 を集積化し残りの回路は外部回路とするなど構成は様々である。いずれにせよ、少なくとも副回路 4 の電界効果トランジスタ 3 を主回路の電界効果トランジスタ 1 を一つのチップ上に形成することで本発明の目的は達成される。

【0038】以上の説明はトランジスタ素子として電界効果トランジスタをトランジスタ素子とした例を述べたが、バイポーラトランジスタであっても本発明のバイアス供給方式はもちろん有効である。

【0039】電界効果トランジスタとバイポーラトランジスタとの相違点は、前者が電圧制御素子であるのに対し後者は電流制御素子である点である。したがって、バイポーラトランジスタの場合には参照バイアスを生成する副回路のトランジスタのベース電流  $I_b$  を検出し主回路のトランジスタへフィードバックすることにより本発明のバイアス回路が実現される。

【0040】図 14 は本発明の第 8 の実施例を示すバイポーラトランジスタの場合のバイアス回路のブロック図である。主回路 19 のトランジスタ 18 は、高周波特性が最高となるようにエミッタを直流的に接地する固定バイアス回路とする。副回路 21 は主回路 19 のバイポーラトランジスタ 18 と同一工程で同時に製造されたトランジスタ 20 を用いて自己バイアス回路を構成しており、ベース抵抗  $R_b$  の両端の電位差を検出し、演算回路 22 においてトランジスタ 18 の規模に応じたベース電流  $I_{bm}$  を流す構成となっている。

【0041】また、演算回路 22 は、副回路 21 の検出電圧を受けて所望の値と差動増幅し、抵抗  $R_x$  ないし  $R_y$  にて定電流化する。

【0042】また、電界効果トランジスタの場合と同様に、副回路として電圧分割バイアス方式を用いても良い。また、バッファ回路や各種検出回路からの情報を含め演算処理してさらに高度なバイアス制御が可能なのも電界効果トランジスタの場合と同様である。さらに、集積化しモノシリック集積回路として構成することも電界効果トランジスタの場合に述べたと同様本発明の効果がよく表れて有効である。

【0043】

【発明の効果】以上説明したように本発明は、主回路の第一のトランジスタと同一工程で同時に製造された第二のトランジスタを用いたバイアス参照電圧発生回路からのバイアス参照電圧から上記第一のトランジスタに対する固定バイアス信号を供給することにより、上記第一の



トランジスタは最も高周波特性の優れた固定バイアス回路としつつ、素子の製造ばらつきを適切に吸収するバイアス状態を実現できる。また、本発明のバイアス回路をモノシリック集積回路に応用することにより、高周波特性を損なうことなく集積回路の小型化が可能となる。

【図面の簡単な説明】

【図 1】本発明の第一の実施例を示すバイアス回路のブロック図である。

【図 2】電圧分割バイアス回路の回路図とその電圧電流特性図である。

【図 3】図 1 の演算回路の一例を示す回路図である。

【図 4】本発明の第二の実施例を示すバイアス回路のブロック図である。

【図 5】自己バイアス回路の回路図とその電圧電流特性図である。

【図 6】トランジスタの A 級動作特性とバイアス方式との関係を示す図である。

【図 7】本発明の第三の実施例を示すバイアス回路のブロック図である。

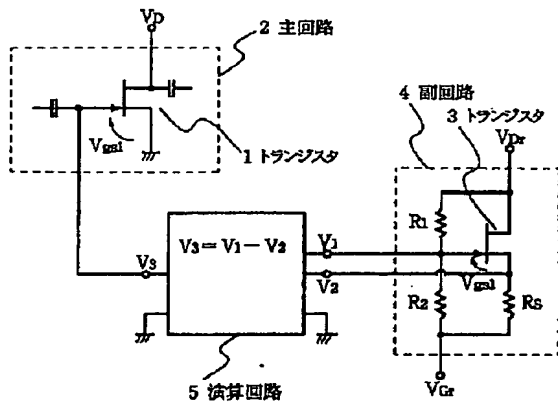
【図 8】本実施例のバッファ回路の一例を示す回路図である。

【図 9】本発明の第四の実施例を示すバイアス回路のブロック図である。

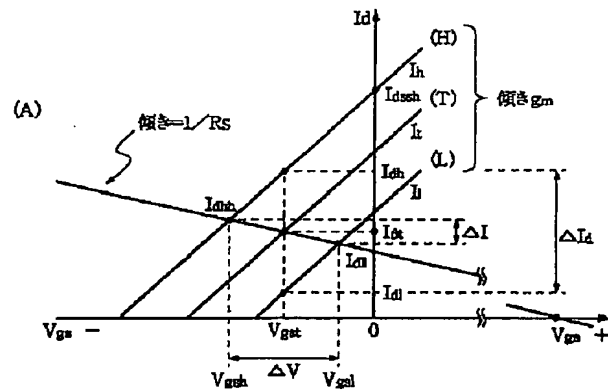
【図 10】本実施例の演算制御回路の一例を示す回路図である。

【図 11】本発明の第五の実施例を示すバイアス回路の

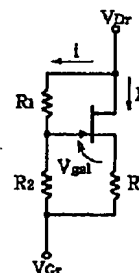
【図 1】



【図 2】



【図 2(B)】



ブロック図である。

【図 12】本発明の第六の実施例を示すバイアス回路のブロック図である。

【図 13】本発明の第七の実施例を示す集積回路のブロック図である。

【図 14】本発明の第八の実施例を示すバイアス回路のブロック図である。

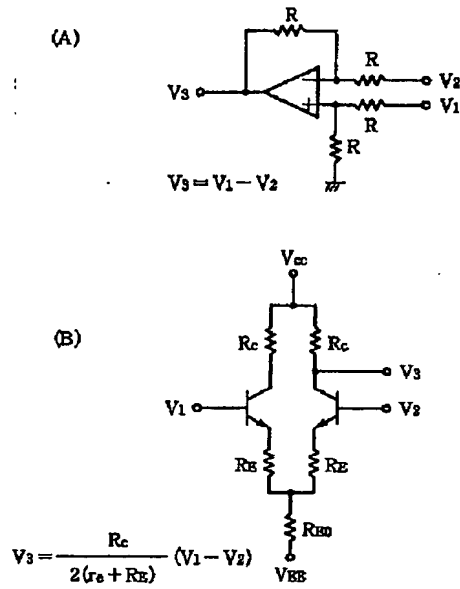
【図 15】従来のバイアス回路の第一～第四の例を示すブロック図である。

10 【図 16】従来のバイアス回路の第五～第七の例を示すブロック図である。

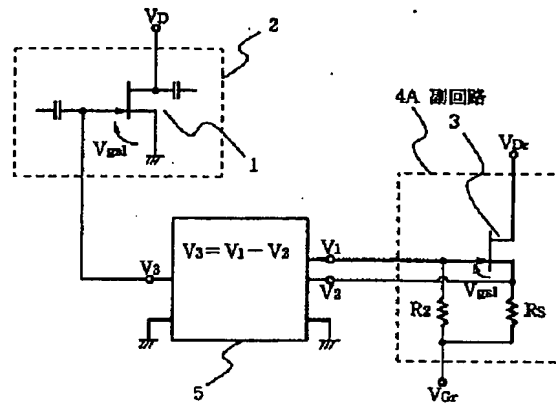
【符号の説明】

- 1, 3, 18, 20 トランジスタ
- 2, 2 A, 2 B, 19 主回路
- 4, 4 A, 4 B, 4 C, 21 副回路
- 5, 22 演算回路
- 6 バッファ回路
- 7 演算制御回路
- 8 温度検出回路
- 9 信号レベル検出回路
- 10～12 関数回路
- 13 加算器
- 14 反転増幅器
- 15 バッファ
- 16 集積回路

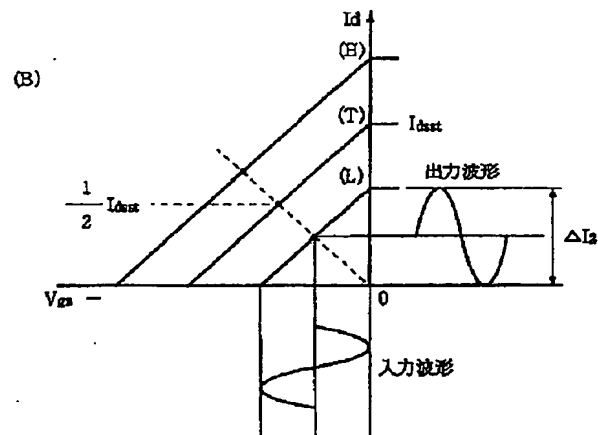
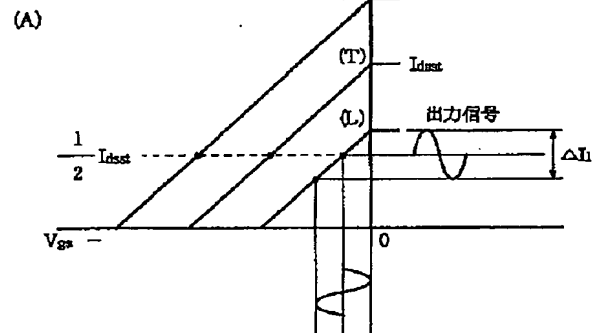
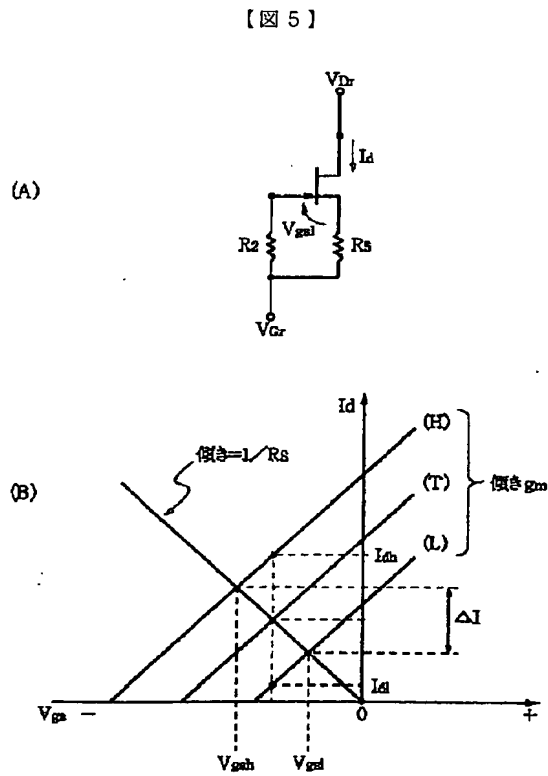
【 図 3 】



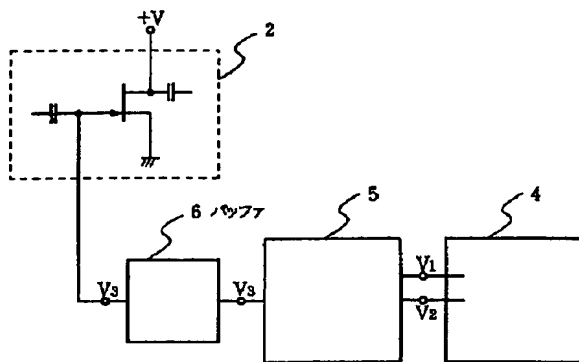
【 図 4 】



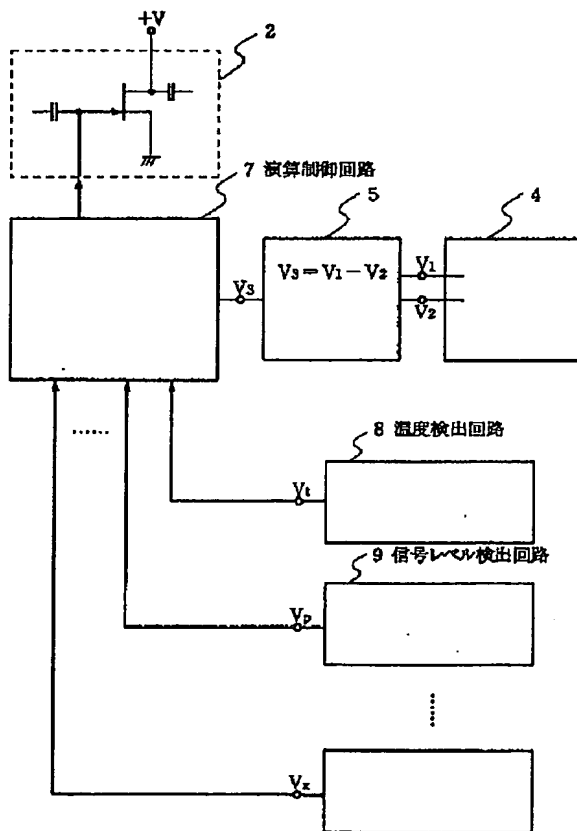
【 図 6 】



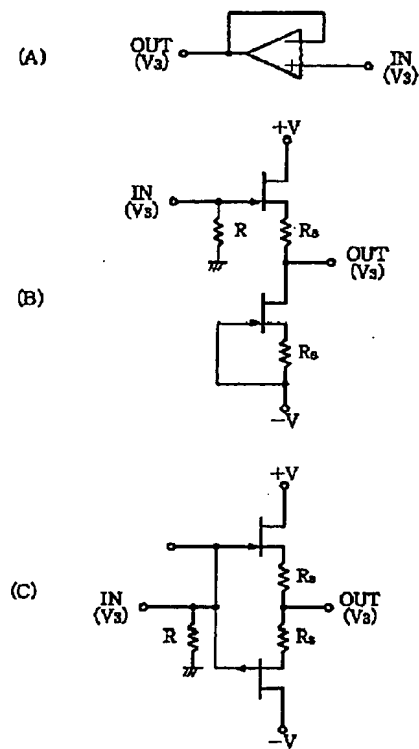
【図 7】



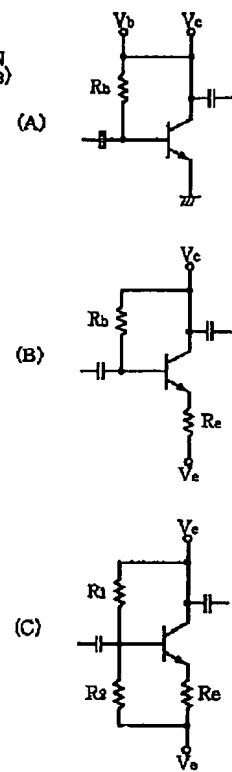
【図 9】



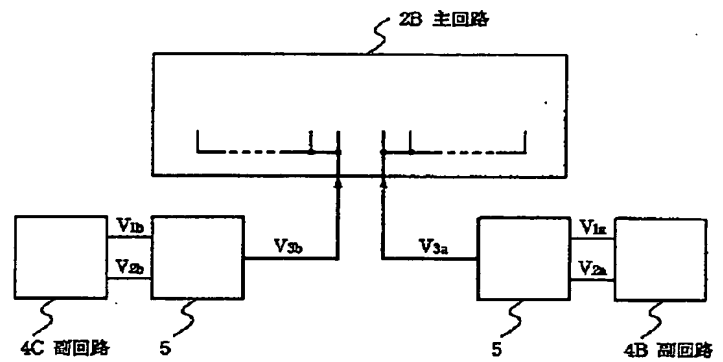
【図 8】



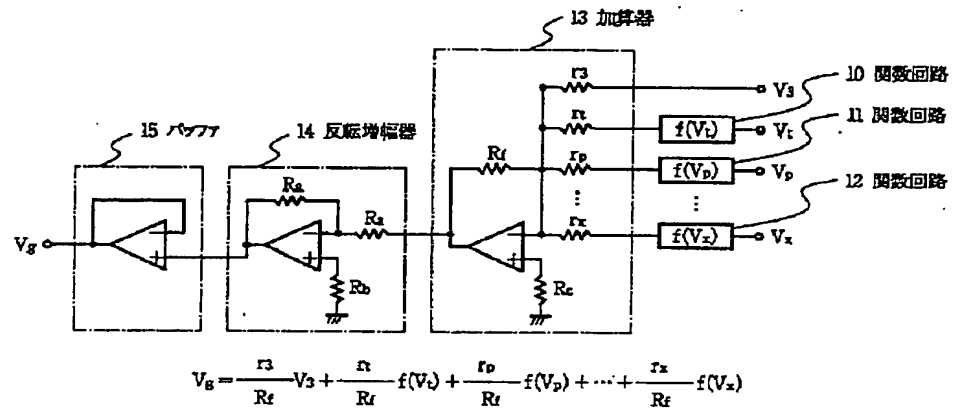
【図 16】



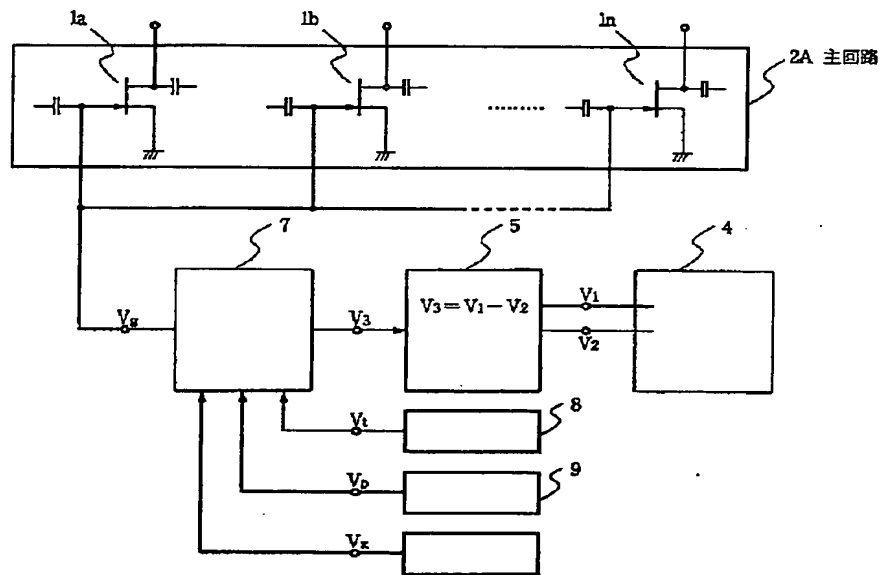
【図 12】



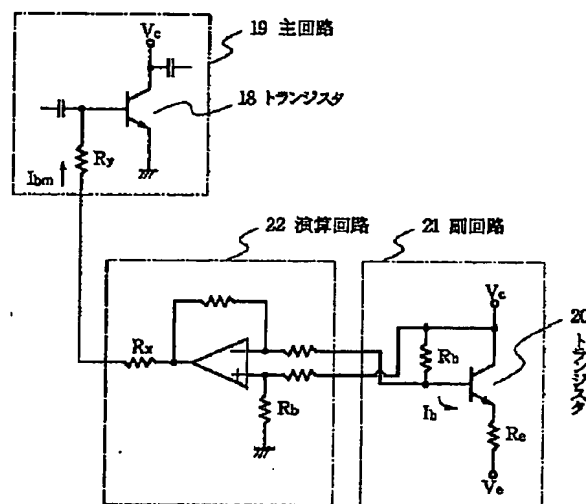
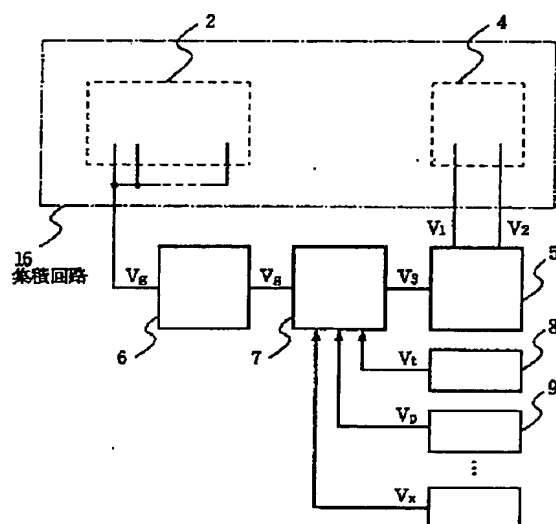
【圖 10】



【圖 11】



【图 14】



【图 15】

